

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-148693

(43)公開日 平成9年(1997)6月6日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 05 K 1/02			H 05 K 1/02	J
H 01 L 21/60	3 1 1		H 01 L 21/60	3 1 1 S
21/321			H 05 K 1/18	L
H 05 K 1/18			H 01 L 21/92	6 0 2 E
				6 0 3 B

審査請求 未請求 請求項の数7 O L (全 6 頁)

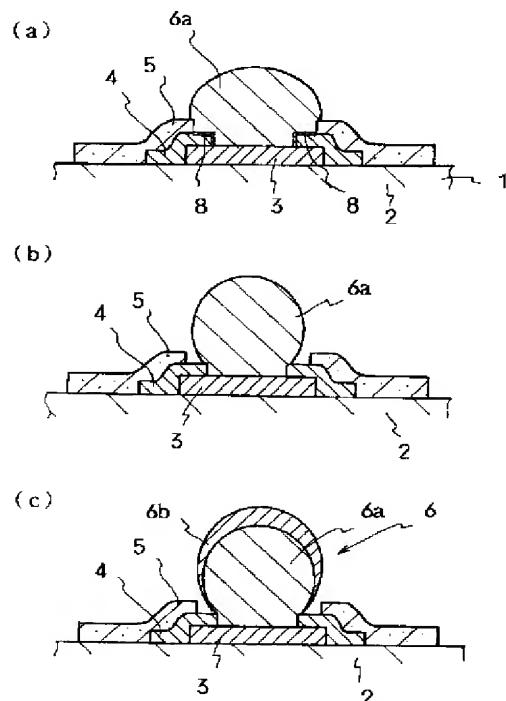
(21)出願番号	特願平7-300973	(71)出願人	000190688 新光電気工業株式会社 長野県長野市大字栗田字舍利田711番地
(22)出願日	平成7年(1995)11月20日	(72)発明者	モハン キルロスカー アメリカ合衆国、カリフォルニア州95054、 サンタクララ、スイート101、スコット ブルバード3211 シンコー エレクトリ ック アメリカ内
		(72)発明者	堀内 道夫 長野県長野市大字栗田字舍利田711番地 新光電気工業株式会社内
		(74)代理人	弁理士 緋貫 隆夫 (外1名)

(54)【発明の名称】 フリップチップ実装用基板及びその製造方法

(57)【要約】

【課題】 半導体素子を確実にフリップチップ実装可能とし、半導体素子に対する熱履歴を軽減して信頼性の向上を実現する。

【解決手段】 半導体素子をフリップチップ実装するフリップチップ実装用基板において、基板1の半導体素子を搭載する実装面に該半導体素子の電極の配列に対応させて形成した第1金属パッド3と、該第1金属パッド3の周縁部とその周囲を覆う第2金属パッド4と、該第2金属パッド4の周縁部とその周囲を覆うソルダレジスト5と、前記第1金属パッド3の露出面を覆って形成した金属バンプ6とを有し、前記第1金属パッド3は前記金属バンプ6に対して濡れ性が高く、前記第2金属パッド4は前記金属バンプ6に対する濡れ性が前記第1金属パッド3に対する濡れ性よりも低いことを特徴とする。



## 【特許請求の範囲】

【請求項1】 半導体素子をフリップチップ実装するフリップチップ実装用基板において、

前記基板の半導体素子を搭載する実装面に該半導体素子の電極の配列に対応させて形成した第1金属層と、該第1金属層の周縁部とその周囲を覆う第2金属層と、該第2金属層の周縁部とその周囲を覆う絶縁層と、前記第1金属層の露出面を覆って形成した金属バンプとを有し、

前記第1金属層は前記金属バンプに対して濡れ性が高く、前記第2金属層は前記金属バンプに対する濡れ性が前記第1金属層に対する濡れ性よりも低いことを特徴とするフリップチップ実装用基板。

【請求項2】 前記第1金属層は、400°C以下の融点を持つ金属バンプに対して濡れ性の高い金属から成り、前記第2金属層は、前記金属バンプに対する濡れ性が前記第1金属層に対する濡れ性よりも低い金属から成ることを特徴とする請求項1記載のフリップチップ実装用基板。

【請求項3】 前記金属バンプは、金属からなる球状のコア部の表面に、該コア部よりも低融点の金属から成る表面層が被覆されていることを特徴とする請求項1記載のフリップチップ実装用基板。

【請求項4】 前記球状のコア部の金属の組成が、Sn/Pb=3/97~10/90のはんだであり、前記表面層の金属の組成が、Sn/Pb=60/40~70/30のはんだであることを特徴とする請求項3記載のフリップチップ実装用基板。

【請求項5】 前記第1金属層は、銅(Cu)、金(Au)、ニッケル(Ni)のうちのいずれかの金属から成り、前記第2金属層は、クロム(Cr)、チタン(Ti)、アルミニウム(Al)のうちのいずれかの金属から成ることを特徴とする請求項1記載のフリップチップ実装用基板。

【請求項6】 半導体素子を搭載する実装面に該半導体素子の電極の配列に対応させて形成した金属バンプを介して半導体素子を搭載するフリップチップ実装用基板の製造方法において、

前記基板の半導体素子を搭載する実装面に金属バンプに対して濡れ性の高い第1金属層を前記半導体素子の電極の配列に対応させて形成し、該第1金属層の周縁部とその周囲を覆って前記金属バンプに対して前記第1金属層に対する濡れ性よりも濡れ性の低い第2金属層を形成し、該第2金属層の周縁部とその周囲を覆うように絶縁層を形成した後、電解めっきにより前記第1、第2金属層の露出面を覆う第3金属層を形成し、該第3金属層を加熱溶融させて前記第1金属層表面に金属バンプを形成することを特徴とするフリップチップ実装用基板の製造方法。

【請求項7】 金属バンプの表面に、該金属バンプを形

成する第3金属層よりも低融点の金属層を形成することを特徴とする請求項6記載のフリップチップ実装用基板の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体素子をフリップチップ実装するためのフリップチップ実装用基板及びその製造方法に関する。

## 【0002】

【従来の技術】従来、半導体素子を実装基板にフリップチップ実装する場合には、一般に半導体素子側に実装基板に設けた配線パターンとの電気的接続用の金属バンプを形成し、実装基板上に形成された配線パターンの一端のランド部に金属バンプを位置合わせし、はんだ或いは導電性樹脂等を介して接続している。

【0003】上記金属バンプの形成方法には、種々の方法があるが、一般的な方法の一つにははんだを用いたものがある。また、はんだの種類は種々のものがあるが、代表的なものはSn-Pb共晶組成(Sn/Pb=63/37)のものや、Sn/Pb=3/97~10/90組成のものが多用されている。また、金属バンプの構造としては、何らかのコア材を金属バンプ内に挿填したものが実装基板に実装後に半導体素子を基板から取り外すといったリワーク性の点で望ましく、コア材としては銅ボールやSn/Pb=3/97~10/90組成のものが用いられる。また、金属バンプの形状としては、マッシュルーム状或いは柱状に近いものが半導体素子と実装基板との間の熱膨張係数の差に起因する応力を緩和する上で望ましい。

## 【0004】

【発明が解決しようとする課題】ここでいう、柱状(column)に近い形状とは、金属バンプの接合面積に対しバンプの高さが高い形状をいう。このような形状を得る方法として半導体素子にはんだを接合した後、はんだがまだ溶融状態にあるうちに、はんだを一定距離引き上げてバンプを細らせてはんだの高さを高くする方法が知られている。

【0005】しかしながら、上記のようにして柱状に金属バンプを形成する方法は、製造プロセスが複雑で、柱状に成形するため供給するはんだの量を増やす必要がある。はんだの量を増やすことは、はんだをボールとして供給すれば比較的容易であるが、はんだボールを半導体素子の電極端子に各々供給するにはボールマウンターや治具といった専用の設備が必要で供給操作が能率的でできないという問題がある。

【0006】はんだを供給する他の方法としては、電解はんだめっきにより半導体素子の電極端子にはんだを供給する方法がある。この方法は多数の電極端子に一度にはんだが供給できるという利点があるが、はんだの量を増やすにははんだめっきをする個々の電極端子部分の面

積を大きくする必要があり、結果的にこの方法でははんだの濡れ面積に対する金属バンプの相対的な高さが高くできない。

【0007】また、上記のようにして半導体素子の電極端子部分にはんだを供給した後、金属バンプを形成する場合ははんだを溶融するために半導体素子自体も加熱されて高温にさらされる。とくに、コア材入りの金属バンプを形成する場合は数回にわたって加熱するから、半導体素子も高温下で何回か処理され、その電気的特性等に悪影響を及ぼすという問題もあった。また、電解はんだめっきによってはんだを供給する場合は半導体素子に電解めっきするための電源供給パターンを形成しなければならない等、はんだめっきを施すための工程が複雑になるという問題があった。

【0008】本発明の目的は、半導体素子を確実にフリップチップ実装することができ、また、実装のための半導体素子の熱履歴を軽減して半導体素子の信頼性の向上を図ることができる半導体素子のフリップチップ実装用基板及びその製造方法を提供するにある。

【0009】

【課題を解決するための手段】本発明は上記目的を達成するため次の構成を備える。すなわち、半導体素子をフリップチップ実装するフリップチップ実装用基板において、前記基板の半導体素子を搭載する実装面に該半導体素子の電極の配列に対応させて形成した第1金属層と、該第1金属層の周縁部とその周囲を覆う第2金属層と、該第2金属層の周縁部とその周囲を覆う絶縁層と、前記第1金属層の露出面を覆って形成した金属バンプとを有し、前記第1金属層は前記金属バンプに対して濡れ性が高く、前記第2金属層は前記金属バンプに対する濡れ性が前記第1金属層に対する濡れ性よりも低いことを特徴とする。また、前記第1金属層は、400°C以下の融点を持つ金属バンプに対して濡れ性の高い金属から成り、前記第2金属層は、前記金属バンプに対する濡れ性が前記第1金属層に対する濡れ性よりも低い金属から成ることを特徴とする。また、前記金属バンプは、金属からなる球状のコア部の表面に、該コア部よりも低融点の金属から成る表面層が被覆されていることを特徴とする。また、前記球状のコア部の金属の組成が、Sn/Pb=3/97~10/90のはんだであり、前記表面層の金属の組成が、Sn/Pb=60/40~70/30のはんだであることを特徴とする。また、前記第1金属層は、銅(Cu)、金(Au)、ニッケル(Ni)のうちのいずれかの金属から成り、前記第2金属層は、クロム(Cr)、チタン(Ti)、アルミニウム(Al)のうちのいずれかの金属から成ることを特徴とする。

【0010】また、半導体素子を搭載する実装面に該半導体素子の電極の配列に対応させて形成した金属バンプを介して半導体素子を搭載するフリップチップ実装用基板の製造方法において、前記基板の半導体素子を搭載す

る実装面に金属バンプに対して濡れ性の高い第1金属層を前記半導体素子の電極の配列に対応させて形成し、該第1金属層の周縁部とその周囲を覆って前記金属バンプに対して前記第1金属層に対する濡れ性よりも濡れ性の低い第2金属層を形成し、該第2金属層の周縁部とその周囲を覆うように絶縁層を形成した後、電解めっきにより前記第1、第2金属層の露出面を覆う第3金属層を形成し、該第3金属層を加熱溶融させて前記第1金属層表面に金属バンプを形成することを特徴とする。また、金属バンプの表面に、該金属バンプを形成する第3金属層よりも低融点の金属層を形成することを特徴とする。

【0011】

【発明の実施の形態】以下、本発明の好適な実施形態を添付図面に基づいて詳細に説明する。図1はフリップチップ実装用基板の全体構成を示す上視図、図2は実装用基板に形成する金属バンプの製造工程を示す説明図、図3は実装基板に半導体素子を実装する工程を示す説明図である。

【0012】先ず、図1を参照してフリップチップ実装用基板の全体構成について説明する。図1において、1は92%アルミナセラミックからなる基板であり、該基板1の半導体素子実装部2には、半導体素子の電極端子の配列に対応したランド部及び該ランド部に接続する配線パターン1aが形成されており、上記ランド部には後述する金属バンプ6が形成されている。フリップチップ接続は、一般に半導体素子の能動素子面を基板側に向けて、半導体素子の電極端子に接合した金属バンプと基板に設けたランド部とを直接接続する方式である。本実施例では、半導体素子に金属バンプを設けるかわりに基板1のランド部に金属バンプ6を設けておき、半導体素子の電極端子を基板1のランド部に位置合わせした後、前記金属バンプ6を溶融させて半導体素子の電極端子と接続する。

【0013】上記配線パターン1aは、上記ランド部に設けられた各金属バンプ6と半導体素子実装部2の周囲に設けられたビア1bとを接続している。ビア1bは基板1の厚さ方向に貫通して設けられ、基板1の表裏面の配線パターンを電気的に接続する。アルミナセラミック基板1としては、例えば多層のアルミナセラミック基板や、薄膜により形成した配線パターンを有するMCM(Multi-Chip Module)用基板などが用いられる。

【0014】次に上記半導体素子実装部2の具体的な構成について図2を参照して説明する。上記92%アルミナセラミック基板1の半導体素子実装部2には、各配線パターン1aの一端に第1金属層としての第1金属パッド3が形成されている。この第1金属パッド3は金属バンプを形成するためのランド部となる。

【0015】第1金属パッド3は、図1に示す配線パターン1aを形成する際に同時に形成される。配線パター

ン1aおよび第1金属パッド3を形成するには、たとえばマグнетロンスパッタリング法によりチタン(Ti)層0.1μmおよび銅(Cu)層0.2μmを基板1の表面全体に形成した後、感光性レジストを塗布し、感光性レジストを露光・現像して、配線パターン1aおよび第1金属パッド3を形成する部位の銅層を露出させた後、銅のアディティブめっき法により銅層を総厚約8μmまで形成する。

【0016】次いで、前記感光性レジストをいったん除去した後、上記と同様なフォトリソグラフィー工程により配線パターン1aおよび第1金属パッド3のみを感光性レジストで被覆し、上記工程で形成した配線パターン1aおよび第1金属パッド3を除いて先のスパッタリングによって形成したチタン層と銅層をエッチングにより除去し、配線パターン1aと第1金属パッド3のみを基板1上に形成することができる。実施形態の第1金属パッド3は直径0.165mmである。配線パターン1aと第1金属パッド3を形成する金属としては前述したはんだなどの金属バンプ、特に400°C以下の融点をもつ金属バンプに対して漏れ性の高い金属、たとえば銅、金、ニッケル等が好適に用いられる。金、ニッケル等を用いる場合も上記例と同様にアディティブめっき法により形成することができる。

【0017】上記第1金属パッド3の周縁部には第2金属層としての第2金属パッド4が第1金属パッド3の周縁部を覆うように形成されている。この第2金属パッド4は、マグネットロンスパッタリング法により第1金属パッド3の表面を覆ってクロム(Cr)層0.15μmを形成し、クロム層の表面に感光性レジストを塗布した後、第1金属パッド3の周縁部にのみ第2金属パッド4となる部分を残すように前記感光性レジストを露光・現像し、パターニングされた感光性レジストをマスクとしてクロム層をエッチングすることによって第2金属パッド4を形成する。第2金属パッド4はこの実施形態では開口部が0.105mm、パッド周縁幅0.04mmである。第2金属パッド4に使用する金属としては、前述した金属バンプ、特に400°C以下の融点を持つ合金に対して漏れ性の低いもの、例えばクロム(Cr)、チタン(Ti)、アルミニウム(A1)等が好適に用いられる。

【0018】5は絶縁層であるソルダレジストであり、上記第2金属パッド4の上面に一部かかるようにしてその外周縁部を被覆する。すなわち、ソルダレジスト5は第2金属パッド4の内周縁を一部露出させて第2金属パッド4を被覆する。なお、ソルダレジスト5は基板1で第1金属パッド3および第2金属パッド4の露出面を除いて基板1のほぼ全面を被覆するものである。ソルダレジスト5としては、感光性ポリイミドが好適に用いられる。

【0019】前記第2金属パッド4には、金属バンプ6

を構成する合金に対して漏れ性が低いものを用いるから、金属バンプ6と接する第2金属パッド4の表面には金層8を形成する。金層8は蒸着法或いはめっき法などによって形成される。金層8を形成する理由は、第2金属パッド4がクロム層であり第1金属パッド3の銅層にくらべてめっきがつきにくいことから、これら第1金属パッド3および第2金属パッド4の表面にははんだ等のバンプ形成材を電解めっき法によって形成する際に、第2金属パッド4に均一にめっきがつくようにするためである。金層8の厚さは1μm程度以下で十分で、本実施形態では0.1μmとした。

【0020】金属バンプ6は第3金属層として基板1上に形成するもので、半導体素子7の能動素子面の電極端子と位置合わせて接合されるものである。金属バンプ6は電解めっき法により形成するが、その構造は金属バンプ6のコア部6aとこのコア部6aの表面に形成される薄肉の表面層6bとからなる。表面層6bを構成する金属はコア部6aを構成する金属の融点に対し低融点の金属を用いる。

【0021】本実施形態でコア部6aを形成する金属は具体的にはSn/Pb=10/90組成のはんだである。コア部6aは配線パターン1aを電源供給パターンとし電解めっき法により第1金属パッド3および第2金属パッド4の露出面上に析出させて形成する(図2(a)参照)。次に、およそ380°Cに加熱した窒素ガスのリフロー炉内で基板1を加熱してコア部6aの合金を溶融させ、ほぼ球状のバンプが形成される(図2(b)参照)。コア部6aの合金が溶融する際には第2金属パッド4の表面に形成した金層8が合金内に取り込まれ、第1金属パッド3とコア部6aの合金との漏れ性が良好である一方、コア部6aの合金が第2金属パッド4とは漏れないことから図2(b)に示すようにほぼ球状となる。

【0022】本実施形態で金属バンプ6の表面層6bを形成する合金は具体的にはSn/Pb=63/37組成のはんだである。表面層6bはコア部6aを球状に形成した後、電解めっき法によりコア部6aの表面に析出させて形成する。次いで、およそ220°Cに加熱した窒素ガスのリフロー炉内で基板1を加熱し、コア部6aの表面の表面層6aの合金を溶融して共晶はんだとする(図2(c)参照)。

【0023】こうして、球状に形成したコア部6aの表面に薄肉状の表面層6bが形成された金属バンプ6を有するフリップチップ実装用の基板1が得られる。なお、コア部6aを構成する合金は基板1に半導体素子7を接合する際の加熱条件で溶融せず、表面層6bを構成する合金はその加熱条件で溶融する条件を満足する必要がある。上記実施形態ではコア部6a、表面層6bを構成する金属としてSnとPbを主体とするはんだが一般的に用いられるが、Bi(ビスマス)、Sb(アンチモン)、

Ag (銀) 等を添加したものを用いることができる。

【0024】次に上記のフリップチップ実装用の基板1に半導体素子7を実装する工程について図3を参照して説明する。図3 (a) に示すように、まず半導体素子実装部2に金属バンプ6を形成した基板1上に半導体素子7をアライメントする。半導体素子7の表面にはアルミニウム等の表面電極7aが形成され、該表面電極7a上に電極端子7bが形成されている。7cは能動素子面を保護するパッシベーション膜である。

【0025】次に、半導体素子7の電極端子7bを金属バンプ6に当接させ、その状態でリフロー炉を通過させる。リフロー炉中を通過する際、金属バンプ6の表面層6bが溶融し、図3 (b) に示すように基板1に半導体素子7が接合される。リフロー炉は金属バンプ6の表面層6bのみが溶融する温度に加熱するもので、本実施形態ではおよそ220°Cに加熱した。こうして、図3 (b) に示すように金属バンプ6のコア部6aを球状に保形したまま金属バンプ6の表面層6bのみによって半導体素子7を接合することができる。

【0026】上記のように本実施形態では、半導体素子7を基板1に接合する場合、半導体素子7に対する加熱は1回で、しかも金属バンプ6の表面層6bの融点温度 (たとえば220°C) で加熱すれば足り、熱履歴が生ずる回数を少なくして、半導体素子7が加熱される温度も低くて済むことから、半導体素子7に対する熱の影響を抑えることができてアセンブリ後の半導体素子7の信頼性を向上させることができる。

【0027】また、本実施形態のフリップチップ実装用の基板1を使用することにより、半導体素子7を基板1に実装した際の応力を低減することができる。すなわち、本実施形態の基板1では金属バンプ6をコア部6aと表面層6bによって形成し、半導体素子7を基板1に接合する際には金属バンプ6の表面層6bのみが溶融し、コア部6aは元の形状を保持しているから金属バンプ6の高さが高くでき、基板1に半導体素子7を実装した際に基板1と半導体素子7との間で生じる応力を効果的に緩和することが可能になる。なお、本実施形態の基板1の場合でも、金属バンプ6の表面層6bを溶融した状態のまま半導体素子7を基板1から若干離間させることによって金属バンプ6の接合部を柱状に成形することができる。

【0028】本発明では半導体素子7に金属バンプ6を形成せず、実装用の基板1に金属バンプ6を形成して半導体素子7を搭載するようにした。したがって、従来のように半導体素子7に金属バンプ6を形成するといった煩雑な工程を省略することができ、フリップチップ実装工程における材料の歩留りを向上させて製造コストを下

げることができる。

【0029】

【発明の効果】本発明は上述したように、半導体素子を実装する基板側に金属バンプを形成し、金属バンプをコア部とこのコア部よりも低融点の表面層によって形成して、前記表面層のみを溶融することにより半導体素子を基板に接合する。したがって、基板に半導体素子を接合するための加熱は1回で、しかも低融点の表面層のみを溶融して行うから、半導体素子に作用する熱履歴を最小限にできしかも加熱温度も低くて済むことから半導体素子の信頼性を向上させることができる。

【0030】また、金属バンプの表面層のみ溶融して半導体素子を接合するから、接合後の状態では金属バンプとの濡れ性の低い第2金属パッド上から金属バンプとの濡れ性の高い第1金属パッド上に応力が集中し、金属バンプは第1金属パッドのみに溶着して金属バンプの高さを高くでき、実装時の半導体素子と基板との間の熱膨張係数の差に起因する応力を好適に緩和することができる。

【0031】また、半導体素子を接合するための金属バンプを基板側に設けることにより、煩雑な半導体素子側へのバンプ形成工程を省略することができ、フリップチップ実装工程における材料の歩留りを向上させることができ、製造コストを削減することができる。

【図面の簡単な説明】

【図1】フリップチップ実装用基板の全体構成を示す上視図である。

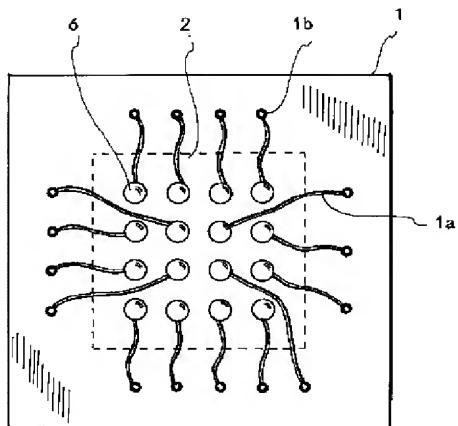
【図2】基板に成形される金属バンプの製造工程を示す説明図である。

【図3】基板面への半導体素子の実装工程を示す説明図である。

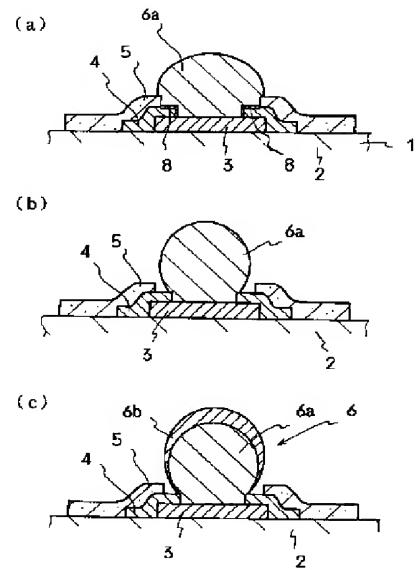
【符号の説明】

- 1 基板
- 1 a 配線パターン
- 1 b ピア
- 2 半導体素子実装部
- 3 第1金属パッド
- 4 第2金属パッド
- 5 ソルダレジスト
- 6 金属バンプ
- 6 a コア部
- 6 b 表層部
- 7 半導体素子
- 7 a 表面電極
- 7 b 電極端子
- 7 c パッシベーション膜
- 8 金層

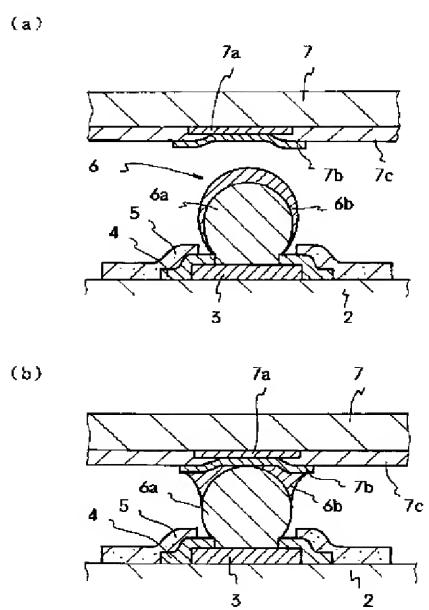
【図1】



【図2】



【図3】



## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-148693  
 (43)Date of publication of application : 06.06.1997

(51)Int.Cl.

H05K 1/02  
 H01L 21/60  
 H01L 21/321  
 H05K 1/18

(21)Application number : 07-300973

(71)Applicant : SHINKO ELECTRIC IND CO LTD

(22)Date of filing : 20.11.1995

(72)Inventor : MOHAN KIRUROSUKAA  
 HORIUCHI MICHIO

## (54) FLIP CHIP MOUNTING BOARD AND MANUFACTURE THEREOF

## (57)Abstract:

PROBLEM TO BE SOLVED: To enable a semiconductor element to be surely mounted on a board through a flip chip mounting manner, lessened in heat history, and improved in reliability.

SOLUTION: A board 1 is so structured as to be mounted with a semiconductor element in a flip chip mounting manner, wherein a first metal pad 3 formed corresponding to the electrode pattern of a semiconductor element, a second metal pad 4 formed covering the periphery of the first metal pad 3 and its surroundings, a solder resist 5 formed covering the periphery of the second metal pad 4 and its surroundings, and a metal bump 6 formed covering the exposed surface of the first metal pad 3 are provided onto the mounting surface of the board 1 where a semiconductor element is mounted. The first metal pad 3 is high in wettability to the metal bump 6, and the second metal pad 4 is set lower in wettability to the metal bump 6 than to the first metal pad 3.

